

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-226035

(43)Date of publication of application : 22.08.1995

(51)Int.Cl. G11B 20/18  
G11B 20/18  
G11B 20/14  
H03H 17/00  
H03M 13/12  
H04L 25/03  
H04N 5/92  
H04N 7/24

(21)Application number : 06-013559 (71)Applicant : SONY CORP

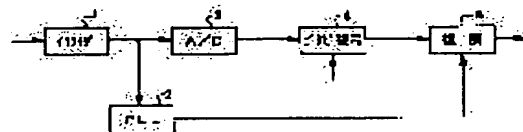
(22)Date of filing : 07.02.1994 (72)Inventor : INO HIROYUKI

## (54) METHOD AND DEVICE FOR DECODING DATA

### (57)Abstract:

**PURPOSE:** To increase an effect of decoding the data while suppressing the increase of a circuit scale to the minimum in the decoding of the data obtained through a system where interference between codes exists.

**CONSTITUTION:** By using a (d, k) code defining a minimal length of continuation of the same symbols (d) and a maximum length of the continuation of the same symbols (k), and by using the (d, k) code defining an interference between codes width N in a recording/reproducing system or a transmission system where code interference to an adjacent code section is allowed, to be  $2 < N < 2(d+1)+1$ , Viterbi decoding is performed for the code. This device is provided with an equalizer part 1 waveform shaping a supplied input signal, an A/D converter 3 converting an output signal from the equalizer part into a digital signal, a phase locked loop part 2 generating a reproducing clock based on the output signal from the equalizer part, a Viterbi decoding part 4 Viterbi-decoding to the (d, k) code defining the interference between codes width N to be  $2 < N < 2(d+1)+1$  to the output signal from the A/D converter and a demodulation part 5 demodulating the output signal from the Viterbi decoding part.



## LEGAL STATUS

[Date of request for examination]

10.01.2001

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-226035

(43) 公開日 平成7年(1995)8月22日

(51) Int. Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G11B 20/18	534	A 9074-5D		
	570	F 9074-5D		
20/14	341	B 9463-5D		
H03H 17/00		B 8842-5J		C4
H03M 13/12		8730-5J		

審査請求 未請求 請求項の数 5 O L (全15頁) 最終頁に続く

(21) 出願番号	特願平6-13559	(71) 出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22) 出願日	平成6年(1994)2月7日	(72) 発明者	井野 浩幸 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(74) 代理人	弁理士 小池 晃 (外2名)

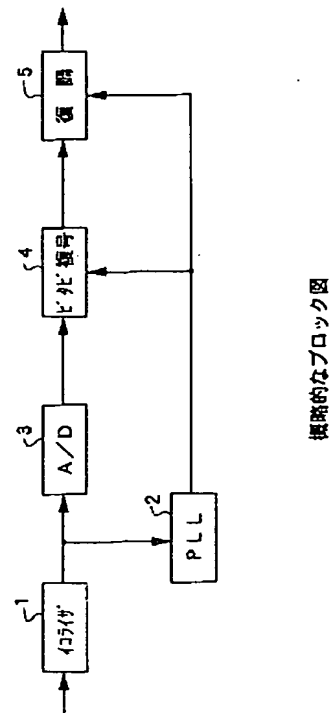
(54) 【発明の名称】 データ復号方法及びデータ復号装置

(57) 【要約】 (修正有)

【目的】 符号間干渉のある系を介して得られたデータの復号において、回路規模の増大を最小限に抑えて、データ復号の効果を上げる。

【構成】 同一シンボルの連なりの最小の長さを  $d$  とし、同一シンボルの連なりの最大の長さを  $k$  とした

( $d$ ,  $k$ ) 符号を用いて、隣接する符号区間への符号干渉が許容される記録再生系又は伝送系での符号間干渉幅  $N$  を  $2 < N < 2(d+1) + 1$  とする ( $d$ ,  $k$ ) 符号を用い、これに対してビタビ復号を行う。本装置は、供給された入力信号を波形整形するイコライザ部1と、イコライザ部からの出力信号をデジタル信号にするA/D変換器3と、イコライザ部からの出力信号を基に再生クロックを生成する位相ロックドループ部2と、上記A/D変換器からの出力信号に対して符号間干渉幅  $N$  を  $2 < N < 2(d+1) + 1$  とする ( $d$ ,  $k$ ) 符号に対するビタビ復号を行うビタビ復号部4と、このビタビ復号部からの出力信号を復調する復調部5とを有する。



## 【特許請求の範囲】

【請求項 1】 同一シンボルの連なりの最小の長さを  $d$  とし、同一シンボルの連なりの最大の長さを  $k$  とした ( $d, k$ ) 符号を用いてデータを復号するデータ復号方法において、

隣接する符号区間への符号干渉が許容される記録再生系又は伝送系での符号間干渉幅  $N$  を、 $2 < N < 2(d+1) + 1$  とする ( $d, k$ ) 符号を用い、これに対してビタビ復号を行うことを特徴とするデータ復号方法。

【請求項 2】 前記符号間干渉幅  $N$  を  $2(d+1)$  とすることを特徴とする請求項 1 記載のデータ復号方法。

【請求項 3】 前記最小の長さ  $d$  を 4 とすることを特徴とする請求項 1 記載のデータ復号方法。

【請求項 4】 情報源からの情報を変調し、予めこの変調されたデータに生じる符号間干渉分を差し引く符号間の相関処理が施されたデータを復号するデータ復号装置において、

供給された入力信号を波形整形する波形等化手段と、該波形等化手段からの出力信号をデジタル信号にする信号変換手段と、

上記波形等化手段からの出力信号を基に再生クロックを生成するクロック再生手段と、

上記データ変換手段からの出力信号に対して符号間干渉幅  $N$  を  $2 < N < 2(d+1) + 1$  の範囲とする ( $d, k$ ) 符号に対してビタビ復号を行うビタビ復号手段と、該ビタビ復号手段からの出力信号を復調する復調手段とを有するデータ復号装置。

【請求項 5】 前記ビタビ復号手段は、回路規模を前記符号間干渉幅  $N$  で生じる状態数と最小の長さ  $d$  の制約による状態数との比率以下にすることを特徴とする請求項 4 記載のデータ復号装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、パーシャルレスポンス方式のような符号間干渉のある系を介して得られたデータを復号するデータ復号方法、及びこのデータ復号方法を用いたデータ復号装置に関する。

## 【0002】

【従来の技術】 最近のデジタル記録における高密度記録技術の進展には目覚ましいものがある。この高密度記録を可能にしているのは、記録媒体と記録ヘッドの高性能化だけでなく、装置が行う各信号処理方式に様々な改良を加えてきていることによっている。

【0003】 各種信号処理方式の中で信号検出方式とし

S0: 0000	S1: 0001
S4: 0101	S5: 0100
S8: 1111	S9: 1110
Sc: 1010	Sd: 1011

これらの状態は、NRZI 変換処理後のビットを示している。

てパーシャルレスポンス方式が用いられている。このパーシャルレスポンス方式とは伝送路雑音等により符号誤りが生じた場合の影響を後続に及ぼないようにデジタル値を有する相関符号で伝送する方式である。このパーシャルレスポンス方式において、予め後続するデータとの符号間干渉分を差し引くような符号間の相関をもたせる変換処理を行う回路がいわゆるプリコードと呼ばれている。

【0004】 また、信号の復号方法としては、ビタビ復号法が用いられている。このビタビ復号法は、復号誤りを小さくしてハミング距離の最も短い道を探索する最尤復号法の一つで可能性のない道を捨てることにより確からしい値の探索を簡略化して復号する方法である。

【0005】 このように符号間の相関を利用したビタビ復号法はよく知られている。上述したパーシャルレスポンス方式等の符号間干渉のある系でビタビ復号法を適用すると、復号時の誤り率を大幅に改善することができることが知られている。このパーシャルレスポンス方式とビタビ復号法を用いた記録再生系の基本的なシステム構成を図 11 に示す。

【0006】 記録側あるいは送信側は、情報源から供給される情報を変調する変調部 10 と NRZI 変換する NRZI 部 11 と、記録アンプ 12 とで構成し、記録媒体 M に情報を記録させている。再生側あるいは受信側は、記録媒体 M からの再生信号を増幅する再生アンプ 20 と、波形等化するイコライザ部 21 と、イコライザ部 21 の出力信号から再生クロックを抽出する位相ロックループ（以下、PLL という）回路部 22 と、イコライザ部 21 の出力信号を A/D 変換する A/D 変換器 23 と、再生クロックに応じてビタビ復号するビタビ復号部 24 と、ビタビ復号部 24 からの出力信号を再生クロックに応じて元の情報に復調する復調部 25 とで構成される。

【0007】 パーシャルレスポンス方式のような符号間干渉を許した系では符号器への新しい情報の入力が次の状態への遷移を引き起こす。このような状態遷移の関係は、状態遷移図で記述される。例えば図 12 は、符号間干渉を 4 ビットとした系の状態遷移図で、図 11 のビタビ復号部 24 でのビタビ復号のアルゴリズムを示すものがある。符号間干渉を 4 ビットとすることにより、この系は、次に示す状態 S0 ~ Sf と 16 の状態を採ることになる。

## 【0008】

S2: 0011	S3: 0010
S6: 0111	S7: 0110
Sa: 1100	Sb: 1101
Se: 1000	Sf: 1001

【0009】 図 12 に示す符号間干渉幅  $N=4$  とする系の状態には、各状態にそれぞれ 2 本のパスが入ってい

る。状態遷移は矢印で表されると共に、前の状態から遷移先の状態への移行条件が矢印の先端側に記載されている。この記載された移行条件は $X/Y$ で表される。ここで、 $X$ は図 11 の変調部 10 から NRZ I 変換器 11 に供給される変調出力データである。 $Y$ は、図 11 の記録媒体 M からイコライザ部 21 を介して正しく再生されるべき出力であり、添字は遷移する状態の番号を示している。

【0010】このビタビ復号の状態遷移において、一般に供給されるデータが最大“0”、“1”の2値しかと  
らないから、他の状態からの遷移されてくる新たな状態  
には2本のパスを介してしか状態遷移されないことになる。  
ビタビ復号は、ある状態に入る2本のパスの内、より  
確からしさを表す尤度の高い状態だけを再生クロック  
を基準とする各時刻に残していく。ビタビ復号部 24  
では、このように尤度に応じた選択により生き残ったパス  
の連なりが適当な時刻後に同じ値になって1本化が行な  
われ、変調出力データに対応する復号データ  $X$  が復調部  
25 に出力される。

【0011】このビタビ復号部 24 は、例えば図 13 に  
示すように、 $A/D$ 変換器 23 を経て供給されたディジ  
タルデータを基に分岐距離計算を行う、いわゆるブラン  
チメトリック計算回路部 24a と、ブランチメトリック  
計算回路部 24a の計算結果から生き残りパスを選択す  
る生き残りパス選択回路部 24b と、最小値を求めてオー  
バーフローを防止するため正規化する正規化回路部 2  
4c と、ステートメトリックを記憶するステートメトリ  
ック記憶回路部 24d と、1ビットシフトレジスタを配  
設した後に1ビットシフトレジスタと1ビットマルチブ  
レксаとを  $n$  段配設したパスメモリ部 24e とで構成され  
る。

【0012】上述したビタビ復号部 24 の具体的な回路  
構成を図 14 ~ 図 16 の要部回路で説明する。ブラン  
チメトリック計算回路部 24a は、図中の符号  $A$  で示さ  
れた部分である。図 8 に示した  $A/D$ 変換器 23 からの出  
力データが16個のブランチメトリック計算回路の一端  
側に供給されている。16個のブランチメトリック計算  
回路の他端側には、図 12 の状態遷移図に示した16個  
の再生出力  $Y$  の値  $y_0 \sim y_7$  がそれぞれ供給されてい

る。上記  $A/D$ 変換器 23 の出力は、図の表示上、便宜  
的に入力端子 30、31 を介してブランチメトリック計  
算回路の他端側に供給させるように表示している。

【0013】ここで、メトリックとは、ある時刻から各  
状態に至るパスの確からしさの度合を表すものである。

【0014】これらブランチメトリック計算回路は、 $A$   
 $/D$ 変換器 23 からの出力データと再生出力  $Y$  との差を  
2乗する計算を行い、ある状態に1つ前の状態から遷移  
する際の尤度を出力信号として生き残りパス選択回路部  
に出力する。

【0015】生き残りパス選択回路部 24b は、符号 B

で示す生き残りパス選択回路と符号 C で示すステートメ  
トリック計算回路とで構成されている。生き残りパス選  
択回路には、後述するステートメトリック記憶回路から  
出力される過去の生き残りパスのメトリックが供給され  
ている。各状態は、図 12 の状態遷移が示すように、2  
つの状態から遷移してくるため、2本のパスに相当する  
矢印が入り、2本の矢印を出力している。また、この状  
態への遷移を表す矢印の先端側には、変調出力データ  $X$   
と状態を示す添字が付された再生出力データ  $y$  とが表示  
されている。具体的には、例えば状態  $S_0$  の状態遷移に  
おける生き残りパスを選択するため、再生出力  $y_0$  に対  
応する生き残りパス選択回路には、後述するステートメ  
トリック記憶回路が出力する状態  $S_0$  と状態  $S_e$  のメト  
リックが供給されることを示している。

【0016】ここで、上記パスとは、状態から状態への  
遷移の連なりを表している。

【0017】生き残りパス選択回路は、この2つの状態  
のメトリックについての選択を行っている。生き残りパ  
ス選択回路は、選択結果を後述する符号 F と G で示す構  
成要素で表すパスメモリ部 24e に出力すると共に、選  
択した状態のメトリックをステートメトリック計算回路  
に出力する。ステートメトリック計算回路では、ブラン  
チメトリックと過去の生き残ったパスの確からしさであ  
るステートメトリックから新しい生き残りパスのメトリ  
ックが計算される。各生き残りパス選択回路は、正規化  
回路部 24c 内の符号 D で示す各正規化回路の一端側に  
新しい生き残りパスのメトリックを供給する。この生き  
残りパス選択回路で求めたステートメトリックは、過去  
の確からしさの累積を示している。このステートメトリ  
ックは、相対的な大きさが意味を持つものである。

【0018】しかしながら、ステートメトリックの上述  
した定義により、時間の経過に応じてそのままステート  
メトリックの値の累積を続けるとステートメトリックの  
値が大きくなり過ぎてステートメトリックが意味を持た  
なくなってしまう。このステートメトリックを累積させ  
ながら、ステートメトリックの相対的な大きさにより意  
味を持たせるため、正規化回路部 24c が設けられている。

【0019】この正規化回路部 24c は、16個の正規  
化回路と最小値検出回路 Min とで構成される。図 16 に  
示す最小値検出回路 Min は、状態  $S_0 \sim S_f$  までの各状  
態のデータを入力して最小値を検出している。最小値検  
出回路 Min は、検出した最小値を端子 32、33 を介し  
て正規化回路部の各正規化回路の他端側に供給してい  
る。正規化回路では、ステートメトリックの値と最小値  
との減算を行ってステートメトリックの値を正規化して  
いる。このようにして正規化を受けたステートメトリッ  
クの値が生き残りパスの確からしさとして符号 E で示す  
ステートメトリック記憶回路部 24d に供給されてい  
る。

【0020】ステートメトリック記憶回路部24dは、16個のステートメトリック記憶回路からそれぞれ再生出力yの添字に対応する表示がなされている状態S0～Sfのステートメトリックを出力している。すなわち、例えば入力再生出力y<sub>i</sub>の場合、ステートメトリック記憶回路は、状態S4のステートメトリックを出力することになる。このステートメトリック記憶回路が出力した状態S4のステートメトリックは、それぞれ図15に示す再生出力y<sub>i</sub>と図16に示す再生出力y<sub>d</sub>の生き残りパス選択回路の他端側に供給されている。

【0021】前述したようにバスメモリ部24eは、符号Fと符号Gで示された例えばフリップフロップ回路からなる1ビットレジスタと1ビットマルチプレクサでそれぞれ構成されている。バスメモリ部24eの最初の1ビットレジスタには、ステートメトリック記憶回路部24dが出力する状態にするための変調出力データXが供給される。この1ビットレジスタは、入力した変調出力データXを出力する。この1ビットレジスタと同列のフリップフロップの出力には、それぞれ番号b<sub>00</sub>～b<sub>0f</sub>が付される。

【0022】この1ビットレジスタ以降には、1ビットマルチプレクサと1ビットレジスタとを一組とするバスメモリを構成している。このバスメモリは、n段設けられている。第1段目のバスメモリの2入力の1ビットマルチプレクサには、最初の1ビットレジスタから出力される番号b<sub>00</sub>～b<sub>0f</sub>と一致する番号が記載されている端子にそれぞれのステートメトリックを供給する。1ビットマルチプレクサは、生き残りパス選択回路からの出力信号に応じて入力される番号の一方を選択して1ビットレジスタのメモリに供給する。さらに、この一連の処理をn-1段繰り返して第n段目の1ビットレジスタから16個の番号b<sub>10</sub>～b<sub>1f</sub>を出力する。この16個の番号b<sub>10</sub>～b<sub>1f</sub>で示されたデータはすべて同じ値になる。ビタビ復号部24は、この16個の内のどれか一つを選んで復号データとして出力する。

【0023】このように構成することによって、決定した生き残りパスと復号データ、すなわち図12に示す状態遷移の変調出力データXとが1対1に対応する。このようにしてパスが選択され、選択により出力データがすべて同じ値になるよう1本化されると復号データとして復号が完了したことが判る。このような変調出力データXに対応したデータ復号には、パス選択に応じたデータを選択するために一定の時間がかかるので、上述したバスメモリ部24eが必要になる。

【0024】このような構成からなるパーシャルレスポンス方式とビタビ復号法を用いて高密度記録に適用しようという具体的な検討例が電子情報通信学会技術研究報告MR91-34 pp.19-24に報告されている。この報告では、高精細な動画画像を記録し、かつ所定の長さの中での長時間記録再生を行う高精細度用のデジタルビデ

オテープレコーダに適用する高密度記録方法が検討されている。

【0025】この報告では、最適な高密度記録を検証するため記録符号として1, 7符号に対する4状態ビタビ復号を用い、コンピュータシミュレーションにより誤り率特性を求めている。ここで、上記1, 7符号とは、データビット2ビットをチャネルビット3ビットに変換する符号化方式である。この1, 7符号は、“1”と

“1”との間に必ず1個以上7個以下の“0”が入るランレングスリミテッド (Run-Length Limited) 符号という特徴を有している。ただし、1, 7符号は直流成分がフリーでないためチャネルデータの記録にNRZIを用いる。パーシャルレスポンス (1, 1) の相関と1, 7符号の相関を利用した結果は、3値検出、2値検出ともこの4状態ビタビ復号が最も性能よく、例えばイコライザの調整ずれ、経時変化に強く安定であることを示している。

【0026】一般に、このような高密度記録を行うには、符号間干渉幅を大きくすると装置が必要とする信号の再生帯域を狭くすることができることが知られている。

【0027】

【発明が解決しようとする課題】ところで、上述した例では符号間干渉幅を4ビットとしたが、符号間干渉幅をさらに大きくして高密度記録が行えるようにすると、ビタビ復号法のアルゴリズムで採られる状態数が指数関数的に増加することになる。したがって、状態数の増加したビタビ復号の回路構成は大規模な構成になってしまう。

【0028】ビタビ復号の回路規模を小さくするため、最近、拘束長dに制約を加える方法が提案されている。このようなd制約を利用したビタビ復号法に関する報告がテレビジョン学会誌44巻 No.10 (1990) pp.1369-1375にある。この報告は、書換え可能な大容量光メモリとして注目されている光磁気記録でも高密度記録符号としてパーシャルレスポンス方式の一つであるPR (1, 1) 方式とビタビ復号法の組合せについての検討を行っており、論文のタイトルは「新たな可変長ブロック符号とd制約を利用したビタビ復号法の光磁気記録への応用」である。この論文では、光磁気記録における波形干渉を減ずることが可能な(3, 19; 4, 9; 3) 符号を開発し、信号検出方式としてPR (1, 1) 方式を、復号法としてd制約を考慮したビタビ復号法が提案されている。この論文でもシミュレーションにより誤り率特性を求めて従来のピーク検出方式を採用した場合に比べてC/N比が約2.9dB改善されることが明らかにされている。

【0029】このような拘束長dの制約には、d=1, 2, 3の3つの場合があり、パーシャルレスポンス方式によるPR (1, 1) とビタビ復号法とを組み合わせた方法が報告されている。このときの符号間干渉幅Nは2

である。

【0030】しかしながら、この拘束長 $d$ の制約だけに注目してビタビ復号しても符号間干渉幅を無視すると、データ復号の効果に劣化が生じてしまう。また、記録密度を上げるために符号間干渉幅を考慮して大きくすると、ビタビ復号の回路規模が大きくなってしまふ。

【0031】そこで、本発明は、上述したような実情に鑑みてなされたものであり、回路規模の増大を最小限に抑えてデータ復号の効果を上げることができるデータ復号方法を提供することを目的とする。

【0032】また、本発明は、上記データ復号方法を具現化するデータ復号装置を提供することを目的とする。

【0033】

【課題を解決するための手段】本発明に係るデータ復号方法は、上述した課題を解決するため、同一シンボルの連なりの最小の長さを $d$ とし、同一シンボルの連なりの最大の長さを $k$ とした $(d, k)$ 符号を用いてデータ復号するデータ復号方法において、隣接する符号区間への符号干渉が許容される記録再生系又は伝送系での符号間干渉幅 $N$ を $2 < N < 2(d+1)+1$ とする $(d, k)$ 符号を用い、これに対してビタビ復号を行うことを特徴としている。

【0034】ここで、符号間干渉幅 $N$ としては、 $2(d+1)$ とすることが好ましい。また、最小の長さ $d$ を4に制約することが好ましい。

$$S = 2(d+1)$$

となり、符号間干渉幅 $N$ が、 $d+1 < N < 2(d+1)+1$ のとき、ビタビ復号を行う際の状態数 $S$ は、

【0038】

【数1】

$$S = 2N + \sum_{n=0}^{N-(d+1)} 2n$$

【0039】となり、本来の状態数である $2$ の $N$ 乗個に比べて状態数を抑える。

【0040】ここで、符号間干渉幅 $N$ が $2(d+1)$ をとることにより、変換点すなわちゼロクロス点で無歪にして再生クロック成分を抽出し易くする。また、拘束長 $d$ の値を4として従来のデータ復号より記録密度を高めている。

【0041】また、本発明に係るデータ復号装置では、イコライザ部で記録媒体から得られる再生信号を波形整形し、A/D変換器でイコライザ部からの出力信号をデジタル信号にする。位相ロックドループ部では、上記イコライザ部が出力する出力信号を基に再生クロックを生成し、この再生クロックがビタビ復号部と復調部に供給される。ビタビ復号部では、A/D変換器からの出力信号に対して符号間干渉幅 $N$ を $2 < N < 2(d+1)+1$ とする $(d, k)$ 符号でビタビ復号を行っている。復調部では、このビタビ復号部が出力する復号されたデー

【0035】本発明に係るデータ復号装置は、情報源からの情報を変調し、予めこの変調されたデータに生じる符号間干渉分を差し引く符号間の相関処理が施されたデータを復号するデータ復号装置において、上述した課題を解決するため、供給された入力信号を波形整形するイコライザ部と、イコライザ部からの出力信号をデジタル信号にするA/D変換器と、イコライザ部からの出力信号を基に再生クロックを生成する位相ロックドループ部と、上記A/D変換器からの出力信号に対して符号間干渉幅 $N$ を $2 < N < 2(d+1)+1$ とする $(d, k)$ 符号に対するビタビ復号を行うビタビ復号部と、このビタビ復号部からの出力信号を復調する復調部とを有することを特徴としている。

【0036】ここで、ビタビ復号部は、回路規模を符号間干渉幅 $N$ で生じる状態数と最小の長さ $d$ の制約による状態数との比率以下にしている。

【0037】

【作用】本発明に係るデータ復号方法では、 $(d, k)$ 符号のデータ復号において、隣接する符号区間への符号干渉が許容される記録再生系又は伝送系での符号間干渉幅を $2 < N < 2(d+1)+1$ としてビタビ復号を行って、拘束長である $d$ と共に符号間干渉幅 $N$ ビットを考慮して拘束長 $d$ の制約による相関も利用することにより、符号間干渉幅 $N$ が、 $N < d+2$ のとき、ビタビ復号を行う際の状態数 $S$ は、

$$(1)$$

を復調して情報を再現している。これにより、回路構成の増大を最小限に抑えている。

【0042】ここで、ビタビ復号部は、回路規模を前記符号間干渉幅 $N$ で生じる状態数と最小の長さ $d$ の制約による状態数との比率以下にすることにより、回路構成が簡略になる。

【0043】

【実施例】以下、本発明に係るデータ復号方法及びデータ復号装置の実施例について、図面を参照しながら説明する。本発明のデータ復号方法では、可変長ブロック符号が用いられ、一般に $(d, k)$ 符号と表現される。このデータ復号方法は、 $(d, k)$ 符号を用いてデータを復号する最尤復号法の一つで可能性のない道を捨てることにより確からしい値の探索を行ういわゆるビタビ復号法に適用した例について説明する。

【0044】この可変長ブロック符号 $(d, k)$ で使用する拘束長 $d$ 、 $k$ とは、それぞれ同一シンボルの例えば“0”の連なりであるランに加えられた制約である。 $d$ は、この場合、同一シンボル“0”のランレングスが最小の長さを示し、 $k$ は、同一シンボル“0”のランレングスが最大の長さを示す。ビタビ復号法は、隣接する符号区間への符号干渉が許容されるパーシャルレスポンス方式と組み合わせて使われる。パーシャルレスポンス方式とは、予め後続するデータとの符号間干渉分を差し引

くような符号間の相関をもたせる変換処理を行った後に記録媒体に記録されたり、伝送が行われる方式である。このため、記録再生系又は伝送系では、符号間干渉の影響を受けることになる。

【0045】また、最近の高密度記録等の技術的な要求を満足するため、符号間干渉幅を大きくすることが必要になる。しかしながら、この符号間干渉幅を大きくする

$$2 < N < 2(d+1) + 1$$

という符号間干渉幅に関する条件を課している。この条件を用いた  $(d, k)$  符号を用い、これに対してビタビ復号を行う。なお、この符号間干渉幅  $N$  に関する条件の上限値に関する理由については後述する。

$$S = 2(d+1)$$

という式 (4) から、10 であることが判る。この条件を満足する状態遷移を図 1 に示す。この条件における状

S0: 00000	S1: 00001	S2: 00011
S3: 00111	S4: 01111	S5: 11111
S6: 11110	S7: 11100	S8: 11000
S9: 10000		

と状態  $S0 \sim S9$  までの 10 個になる。このとき状態遷移は、図 1 が示すように状態  $S0$  と状態  $S5$  以外の状態には 1 本のパスしか入りこんでいない。通常の何ら制約を設けない場合、状態数は 32 個生じる。拘束長  $d=4$  と符号間干渉幅  $N$  の幅を限定することによって、状態数は、32 個から 10 個に減少させることができる。この状態数の大幅な減少は、この方法を適用する回路の規模を最小限に抑えることになる。

【0047】上述した条件を満足するデータ復号装置について図 2～図 4 を参照しながら説明する。このデータ復号装置は、例えば図 2 に示すように、再生信号を波形等化するイコライザ部 1 と、イコライザ部 1 の出力信号を基に再生クロックを生成する位相ロックドループ回路部 (以下、PLL 回路部という) 2 と、イコライザ部 1 の出力信号をデジタル信号に変換する A/D 変換器 3 と、A/D 変換器 3 の出力信号を基にデータ復号するビタビ復号部 4 と、ビタビ復号部 4 の復号されたデータから信号を復調させる復調部 5 とで構成される。このデータ復号装置のビタビ復調部 4 には、上述したデータ復号方法を具現化させた回路が構成されている。

【0048】イコライザ部 1 は、例えば伝送系の伝達特性にするデジタルフィルタの一種であるトランスバースルフィルタで構成される。イコライザ 1 で波形等化処理された再生信号が PLL 回路 2 と A/D 変換器 3 とにそれぞれ供給されている。PLL 回路 2 は、供給される再生信号からデータ復号装置の基準クロックとなる再生クロックを生成する。この再生クロックが、ビタビ復号部 4 や復調部 5 の動作における動作クロックとして供給されている。

【0049】上記 A/D 変換器 3 は、供給される再生信号を A/D 変換してビタビ復号部 4 に出力する。ビタビ

と状態数が飛躍的に増大するので回路規模が大きくなる。この回路規模を小さくするために拘束長  $d$  に制約を設けることが行われるが、この拘束長  $d$  だけが注目されることによって、復号の効果に劣化が生じてしまう。このような問題を解決するため、本発明では、符号間干渉幅  $N$  ビットを 2 より大きく、符号間干渉幅  $N$  ビットを  $2(d+1) + 1$  より小さい範囲とする、すなわち、

$$\dots (3)$$

【0046】ここで、拘束長  $d$  は 4 に設定している。先ず、符号間干渉幅  $N=5$  ビットとする。  $d=4$  と  $N=5$  という条件から状態数  $S$  は、

$$\dots (4)$$

態は、具体的に、

復号部 4 は、拘束長  $d=4$  の制約と符号間干渉幅  $N$  ビットを 2 より大きく、上記符号間干渉幅  $N$  ビットを  $2(d+1) + 1$  より小さい範囲とする条件  $(2 < N < 2(d+1) + 1)$  を満足する回路で構成されている。具体的に拘束長  $d=4$  の制約と符号間干渉幅  $N=5$  の場合と拘束長  $d=4$  の制約と符号間干渉幅  $N=10$  の場合の回路構成については、図 3 と図 4 及び図 6 と図 7 を用いて説明する。ビタビ復号部 4 は、生き残りパスを選択しながら、確からしいパスを選択することによって復号データがすべて同じ値が出力されることになる。このようにビタビ復号部 4 は、最も確からしい復号データを復調部 5 に供給する。復調部 5 は、復号データから復調信号あるいは復調情報を出力する。

【0050】拘束長  $d=4$  の制約と符号間干渉幅  $N=5$  の条件の場合、ビタビ復号部 4 は、図 3 と図 4 で示す回路構成を採る。ここで、図中の符号 A は、ブランチメトリック計算回路である。各ブランチメトリック計算回路の一端側には A/D 変換器 3 からの出力信号が供給されている。ここで、図面上、A/D 変換器 3 からの出力信号は、端子 6 を介して再生出力  $y_1 \sim y_5$  の各ブランチメトリック計算回路の一端側に供給される。

【0051】符号 B で示される生き残りパス選択回路と符号 C で示されるステートメトリック計算回路とで生き残りパス選択部が構成されている。生き残りパス選択部が出力するステートメトリックが正規化部に出力される。この正規化部は図 4 に示す最小値検出回路  $\min$  と符号 D で示される正規化回路とで正規化部が構成されている。ここで、最小値検出回路  $\min$  の出力も端子 7 を介して再生出力  $y_6 \sim y_8$  の各正規化回路に供給される。

【0052】この正規化部は、過去の確からしさの累積による値の増大を抑え、メトリックの最小値を用いて相

対的な大きさのメトリックの値にして意味を持たせている。正規化部は、この相対的なメトリックの値を符号Eで示されるステートメトリック記憶回路に送る。ステートメトリック記憶回路は、再生出力の状態を示す番号と同じ状態でのステートメトリックの値を配線された生き残りパス選択回路とステートメトリック計算回路の一端側に供給している。

【0053】このビタビ復号部4には、パスメモリ部が設けられている。パスメモリ部は、符号Fで示す1ビットレジスタと符号Gで示す1ビットマルチプレクサとで構成されている。最初の1ビットレジスタには変調出力データXに相当するデータが入力される。1ビットマルチプレクサでは2つのパスのいずれを選択するか生き残りパス選択回路からの出力によって選択する。

【0054】このビタビ復号部4は、図1の状態遷移が示すように、パスが1本の限定されているため、状態S0と状態S5以外では生き残り選択回路とパスメモリ部の1ビットマルチプレクサとを設ける必要がなくなる。これによって、回路構成は、制約と符号間干渉幅の限定を設けた場合の状態数10と上述した限定を設けない通常の場合の状態数32との比率10/32の値以下にして最小限に回路規模を抑えることができる。

【0055】ここで、この符号間干渉幅Nの上限値について簡単に説明する。符号間干渉幅は、上限値の条件を $2(d+1)$ とする。この符号間干渉幅Nの上限は、 $N \leq 2(d+1)$ ではゼロクロスポイントである変換点が無歪になる条件がある。この変換点が無歪になる条件としては、必ず同じ点を通るという条件が必要である。実際に、拘束長 $d=1$ における符号間干渉幅 $N=4$ と $N=5$ との場合を検討してみる。符号間干渉幅 $N=4$ で干渉の係数が例えば(1, 2, 2, 1)とし、符号列として“000111”、“000110”、“100111”、“100110”を考えると、再生波形上での値は、“-4, 0, +4”、“-4, 0, +2”、“-2, 0, +4”、“-2, 0, +2”となる。上記再生波形の値が示すように3点の中点は必ず同じ位置、すなわち“0”を横切っている。

【0056】しかしながら、符号間干渉幅が $N > 2(d+1)$ となると、変換点に歪が加わる。例えば、拘束長 $d=1$ における符号間干渉幅 $N=5$ では、干渉の係数を(1, 2, 3, 2, 1)とし、上述したと同じ符号列を考えると、再生波形は、それぞれ“-3, +3”、“-3, +1”、“-1, +3”、“-1, +1”となる。この場合、それぞれのゼロクロスポイントは同じ位置にならず、ばらけてしまう。この例はマイナスからプラス方向へのゼロクロスの位置を検討したが、逆のプラスからマイナス方向へのゼロクロスの位置を検討した場合も同様にばらつく。

【0057】このように符号間干渉幅の条件によって、例えばアイパターンのゼロクロスポイントを通る条件が満たされなくなりゼロクロスの位置がばらつく。このため、データ復号装置に使用されるPLL回路によるクロック成分の抽出が難しく、再生クロック等の波形に歪が生じることになる。この結果として、データ復号装置のシステムが不安定になり望ましくない。

【0058】したがって、例えば拘束長 $d=4$ における符号間干渉幅Nの上限は、 $2(d+1)$ の条件によって $N=10$ になる。

【0059】次に、このデータ復号方法において拘束長 $d=4$ 、符号間干渉幅 $N=10$ の場合について説明する。この $d=4$ 、 $N=10$ という条件によって状態数Sは、

【0060】

【数2】

$$S = 2N + \sum_{n=0}^{N-(d+1)} 2n$$

【0061】と表される式(5)が適用されなければならない。式(5)に各数値を代入すると状態数Sは、40が得られる。この40の状態は、以下に示す通りである。

【0062】

【表1】



状 態	符号間干渉幅内の値	状 態	符号間干渉幅内の値
S 0	0 0 0 0 0 0 0 0 0 0	S 1	0 0 0 0 0 0 0 0 0 1
S 2	0 0 0 0 0 0 0 0 1 1	S 3	0 0 0 0 0 0 0 1 1 1
S 4	0 0 0 0 0 0 1 1 1 1	S 5	0 0 0 0 0 1 1 1 1 1
S 6	0 0 0 0 1 1 1 1 1 1	S 7	0 0 0 1 1 1 1 1 1 1
S 8	0 0 1 1 1 1 1 1 1 1	S 9	0 1 1 1 1 1 1 1 1 1
S 10	1 1 1 1 1 1 1 1 1 1	S 11	1 1 1 1 1 1 1 1 1 0
S 12	1 1 1 1 1 1 1 1 0 0	S 13	1 1 1 1 1 1 1 0 0 0
S 14	1 1 1 1 1 1 0 0 0 0	S 15	1 1 1 1 1 0 0 0 0 0
S 16	1 1 1 1 0 0 0 0 0 0	S 17	1 1 1 0 0 0 0 0 0 0
S 18	1 1 0 0 0 0 0 0 0 0	S 19	1 0 0 0 0 0 0 0 0 0
S 20	1 0 0 0 0 0 0 0 0 1	S 21	1 1 0 0 0 0 0 0 0 1
S 22	1 0 0 0 0 0 0 0 1 1	S 23	1 1 1 0 0 0 0 0 0 1
S 24	1 1 0 0 0 0 0 0 1 1	S 25	1 0 0 0 0 0 0 1 1 1
S 26	1 1 1 0 0 0 0 0 0 1	S 27	1 1 1 0 0 0 0 0 1 1
S 28	1 1 0 0 0 0 0 1 1 1	S 29	1 0 0 0 0 0 1 1 1 1
S 30	0 1 1 1 1 1 1 1 1 0	S 31	0 0 1 1 1 1 1 1 1 0
S 32	0 1 1 1 1 1 1 1 0 0	S 33	0 0 0 1 1 1 1 1 1 0
S 34	0 0 1 1 1 1 1 1 0 0	S 35	0 1 1 1 1 1 1 0 0 0
S 36	0 0 0 0 1 1 1 1 1 0	S 37	0 0 0 1 1 1 1 1 0 0
S 38	0 0 1 1 1 1 1 0 0 0	S 39	0 1 1 1 1 1 0 0 0 0

【0063】この場合の状態遷移は、例えば図5に示すように、通常の符号間干渉幅 $N=10$ において必要とされる1024個の状態数でなく、状態数を40個に抑えている。しかも、状態に2本のパスが入力される可能性のある状態は、状態数40の内、状態 $S0 \sim S5$ までの6個と状態 $S10 \sim S15$ までの6個、計12個だけである。これ以外状態には、1本のパスしか入力されないため、生き残るパスの選択を行わずにパスが決定される。

【0064】この図5に示した状態遷移を基にデータ復号装置のビタビ復号部4の構成を検討すると、回路は、図6及び図7の簡略化表示した回路構成で模式的に表すことができる。

【0065】ここで、図6及び図7に示す符号(J)は、例えば図3に示すように再生出力 $y_0$ に関する回路で生き残りパス選択回路とパスメモリ部における1ビットマルチプレクサとを有する回路構成であることを示し、符号(K)は、例えば図3に示すように再生出力 $y_1$ に関する回路で生き残りパス選択回路とパスメモリ部における1ビットマルチプレクサとを有していない回路構成であることを示している。

【0066】図2に示したA/D変換器3からの入力信号が符号Aで示す各ブランチメトリック計算回路の一端側に供給される。各ブランチメトリック計算回路の他端側には、それぞれ再生出力 $y_0 \sim y_3$ 、 $y_{10} \sim y_{15}$ 、 $y_{16} \sim y_{19}$ 、 $y_{20} \sim y_{39}$ と40の状態からのデータが供給さ

れている。この40の状態の内、2本のパスが入る状態、すなわち状態 $S0 \sim S5$ までの6個と状態 $S10 \sim S15$ までの6個とだけに対して生き残りパス選択が必要なため、符号Bで示す生き残りパス選択回路が配設されている。これ以外状態には1本のパスしか供給されないため、パス選択を行う必要がなく、生き残りパス選択回路を省略することができる。

【0067】また、それぞれ符号Fと符号Gで示される1ビットシフトレジスタと1ビットマルチプレクサとを $n$ 段設けて構成されるパスメモリ部は、上述した12個の状態以外のパスが決定しているため、1ビットマルチプレクサを省略することができる。したがって、1ビットマルチプレクサは、 $28 \times n$ 個省略できるので回路構成を大いに簡略化することができる。

【0068】このように構成することにより、12個の状態だけパスメモリ部で“0”、“1”が選択されながら $n$ 段進む内に1本化されて最後の1ビットレジスタからの出力がすべて同じ値になる。ビタビ復号部4は、出力 $b_{00} \sim b_{39}$ の内どれか一つを選んで復号データとして出力する。通常の何ら制約を設けない場合、状態数は1024個生じる。拘束長 $d=4$ と符号間干渉幅 $N$ の幅を限定することによって、状態数は、1024個から40個に減少させることができ、パスが1本化されているため、制約と符号間干渉幅の限定を設けた場合の状態数40と上述した限定を設けない通常の場合の状態数1024との比率 $40/1024$ の値以下にして回路の規模

15

を最小限に抑えることができる。

【0069】この他、拘束長  $d = 1$ 、符号間干渉幅  $N = 4$  の場合について図 8 ~ 図 10 を参照しながら説明する。 $d = 1$  という制約は、シンボル “1” の後に必ず

S 0 : 0 0 0 0    S 1 : 0 0 0 1  
S 4 : 0 1 1 0    S 5 : 1 1 1 1  
S 8 : 1 0 0 0    S 9 : 1 0 0 1

という 10 個の状態になる。しかも図 8 に示す状態 S 3、S 4、S 8、S 9 の 4 つの状態には 1 本のパスしか 10  
入り込んでいない。このため、この 4 状態ではパス選択する生き残り選択パス回路が不要になる。

【0071】さらに、図 8 に示す状態遷移が表すアルゴリズムには、 $d = 0$  の制約による経路を持っていないので、例えば変調出力データ “1 0 1 0 0 0” を図 12 に示した状態遷移が表すアルゴリズムによって “1 1 0 0 0 0” と誤って復号してしまう場合を回避し、正しく復号してくれる可能性がある。

【0072】図 8 に示す状態遷移に合わせたビタビ復号回路の構成を図 9 及び図 10 に示す。このビタビ復号回路は、状態数が 16 から 10 へと 6 つの状態が減少して 20  
回路構成が簡略化される。図面表示上、A/D 変換器 3 からの出力信号は、端子 8 を介して図 8 と図 9 とをつないでいる。また、最小値検出回路 Min から出力も端子 9 を介して図 8 と図 9 とをつないでいる。

【0073】このビタビ復号回路は、上述したように 4 つの状態に 1 本のパスしか入らないことから再生出力  $y_3$ 、 $y_4$ 、 $y_8$ 、 $y_9$  を入力する回路において、符号 B で示す生き残りパス選択回路とパスメモリ部の符号 G で示す  $n$  個の 1 ビットマルチプレクサを省略することが 30  
できる。このように構成すると、拘束長  $d$  の制約を受けない回路構成より約 4 割回路規模を小さくすることができる。

【0074】以上のように構成することにより、符号間干渉幅  $N$  を大きくしても状態数を大幅に抑えることができ、必要とする再生帯域を狭くでき、記録密度を上げることができる。また、拘束長  $d$  の制約による相関も利用すると、データの復号効果を一層上げることができる。この拘束長  $d$  としては例えば 4 に設定することが好ましい。この設定による符号間干渉幅  $N$  の上限値は、 $2(d + 1)$  の条件から  $N = 10$  が好ましい。

【0075】この方法を用いることにより、データ復号装置におけるビタビ復号部の回路構成の生き残りパス選択回路や 1 ビットマルチプレクサを省略して大幅に回路構成を簡略化することができ、コストの低減を図ることができる。

【0076】

【発明の効果】本発明に係るデータ復号方法では、可変長ブロック符号の ( $d$ ,  $k$ ) 符号のデータ復号において、隣接する符号区間への符号干渉が許容される記録再生系又は伝送系での符号間干渉幅  $N$  を  $2 < N \leq 2(d + 50$

16

“0” が一つ以上連続する制約である。この場合も式 (5) を用いて状態数  $S$  は 10 個になる。

【0070】この制約によって、採用可能な状態は、具体的に、

S 2 : 0 0 1 1    S 3 : 0 1 1 1  
S 6 : 1 1 1 0    S 7 : 1 1 0 0

1) + 1 としてビタビ復号を行って、拘束長である  $d$  と共に符号間干渉幅  $N$  を考慮して拘束長  $d$  の制約による相関も利用することにより、符号間干渉幅  $N$  を大きくしても状態数を大幅に抑えることができ、必要とする再生帯域を狭くでき、記録密度を上げることができる。

【0077】また、拘束長  $d$  の制約による相関も利用すると、データの復号効果を一層上げることができる。この拘束長  $d$  としては例えば 4 に設定することが好ましい。この設定による符号間干渉幅  $N$  の上限値は、 $2(d + 1)$  の条件から  $N = 10$  が好ましい。

【0078】この方法を用いることにより、データ復号装置におけるビタビ復号部の回路構成の生き残りパス選択回路や 1 ビットマルチプレクサを省略して大幅に回路構成を簡略化することができ、コストの低減を図ることができる。

【図面の簡単な説明】

【図 1】本発明に係るデータ復号方法における  $d = 4$ 、符号間干渉幅  $N = 5$  での状態遷移を示す図である。

【図 2】上記データ復号方法を用いたデータ復号装置の概略的なブロック図である。

【図 3】上記データ復号装置のビタビ復号部の具体的な回路構成を示す要部回路図である。

【図 4】上記データ復号装置のビタビ復号部の具体的な回路構成を示す要部回路図である。

【図 5】上記データ復号方法において、 $d = 4$ 、符号間干渉幅の上限値  $N = 10$  での状態遷移を示す図である。

【図 6】上記データ復号方法における  $d = 4$ 、符号間干渉幅  $N = 10$  の回路構成を簡略化して示す要部回路の模式図である。

【図 7】上記データ復号方法における  $d = 4$ 、符号間干渉幅  $N = 10$  の回路構成を簡略化して示す要部回路の模式図である。

40 【図 8】上記符号間干渉幅  $N = 4$  の系のビタビ復号に  $d = 1$  の制約を加えた際の状態遷移を示す図である。

【図 9】上記状態遷移を具体的に実現するための概略的な回路構成を示す要部回路図である。

【図 10】上記状態遷移を具体的に実現するための概略的な回路構成を示す要部回路図である。

【図 11】情報源からの信号を記録媒体に記録し、この記録媒体からデータをビタビ復号で再生するための概略的なシステム構成を示すブロック図である。

【図 12】上記ビタビ復号によりデータ復号するための符号間干渉 4 ビット系の状態遷移を示す図である。

【図 13】上記ビタビ復号を行うための概略的な回路構成を示すブロック図である。

【図 14】上記符号間干渉幅  $N=4$  とする系の状態遷移を具体的に実現するための概略的な回路構成を示す要部回路図である。

【図 15】上記符号間干渉幅  $N=4$  とする系の状態遷移を具体的に実現するための概略的な回路構成を示す要部回路図である。

【図 16】上記符号間干渉幅  $N=4$  とする系の状態遷移を具体的に実現するための概略的な回路構成を示す要部回路図である。

【符号の説明】

1 イコライザ部

2 PLL回路部

3 A/D変換器

4 ビタビ復号部

5 復調部

6、7 端子

A ブランチメトリック計算回路

B 生き残りパス選択回路

C ステートメトリック計算回路

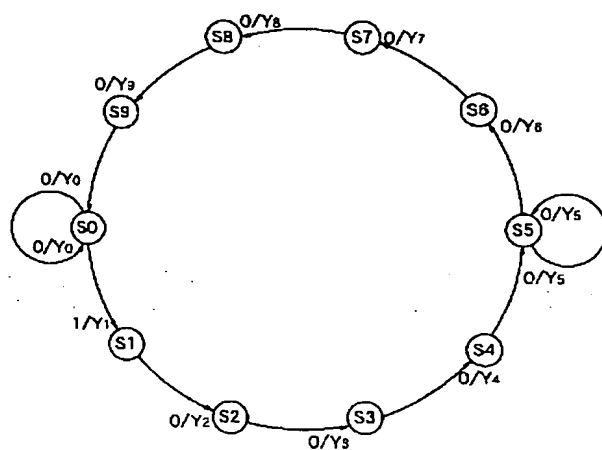
D 正規化回路

E ステートメトリック記憶回路

F 1ビットレジスタ

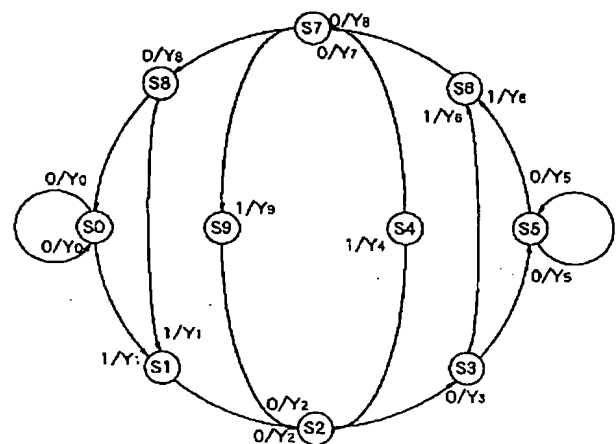
G 1ビットマルチプレクサ

【図 1】



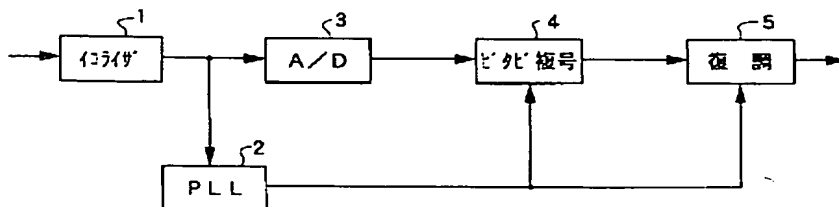
$d=4$ 、 $N=5$ における状態遷移図

【図 8】



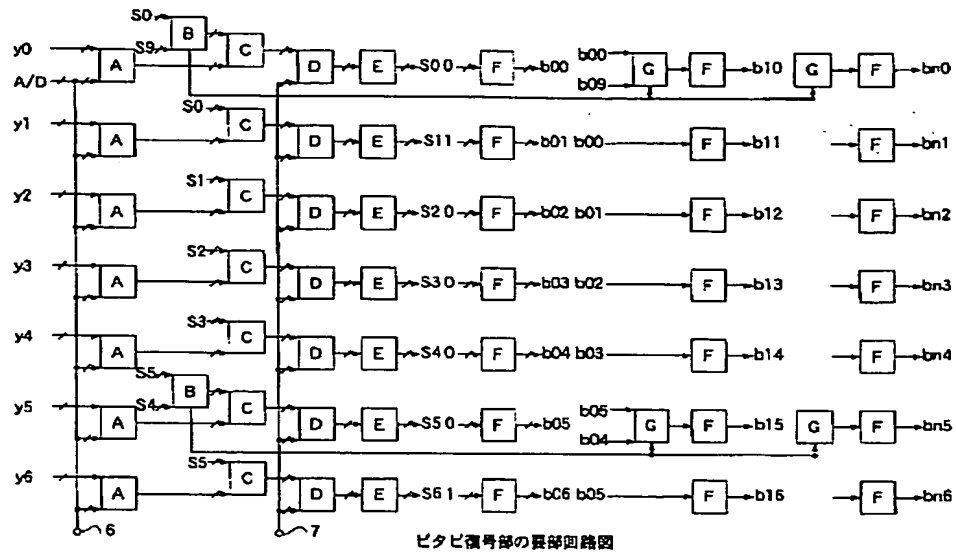
$d=1$ 、 $N=4$ における状態遷移図

【図 2】

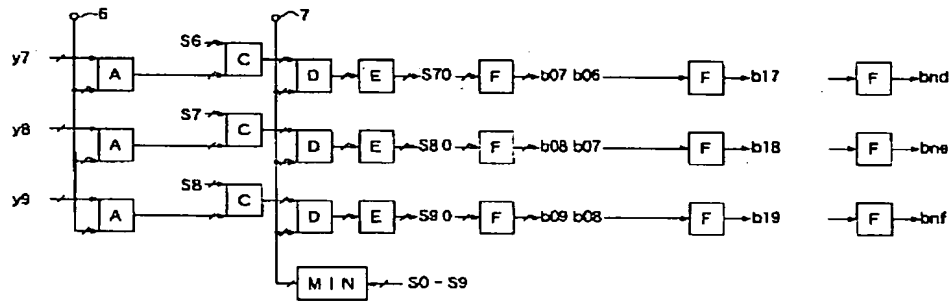


概略的なブロック図

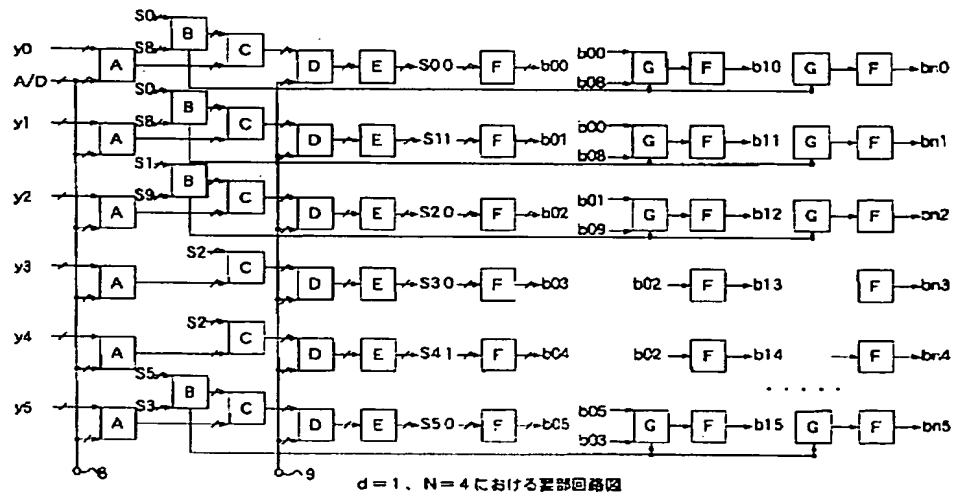
【図 3】



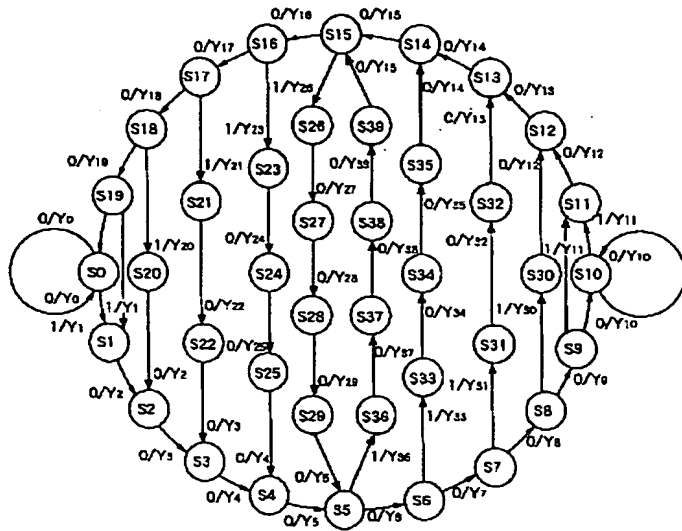
【図 4】



【図 9】



【図 5】



d = 4、N = 5 における状態遷移図

【図 7】

y10	S10 S9	(J) S10 0	b010b010 b09	b110	bn10
y11	S10 S9	(J) S11 1	b011b010 b09	b111	bn11
y12	S11 S30	(J) S12 0	b012b011 b030	b112	bn12
y13	S12 S32	(J) S13 0	b013b012 b032	b113	bn13
y14	S13 S35	(J) S14 0	b014b013 b035	b114	bn14
y15	S14 S39	(J) S15 0	b015b014 b039	b115	bn15
y16	S15	(K) S16 0	b016 b015	b116	bn16
y17	S16	(K) S17 0	b017 b016	b117	bn17
y18	S17	(K) S18 0	b018 b017	b118	bn18
y19	S18	(K) S19 0	b019 b018	b119	bn19
y20	S18	(K) S20 1	b020 b08	b120	bn20
y21	S17	(K) S21 1	b021 b07	b121	bn21
y22	S21	(K) S22 0	b022 b031	b122	bn22
y23	S18	(K) S23 1	b023 b06	b123	bn23
y24	S23	(K) S24 0	b024 b033	b124	bn24
y25	S24	(K) S25 0	b025 b034	b125	bn25
y26	S15	(K) S26 1	b026 b05	b126	bn26
y27	S25	(K) S27 0	b027 b035	b127	bn27
y28	S27	(K) S28 0	b028 b036	b128	bn28
y29	S28	(K) S29 0	b029 b037	b129	bn29

MIN S0~S39

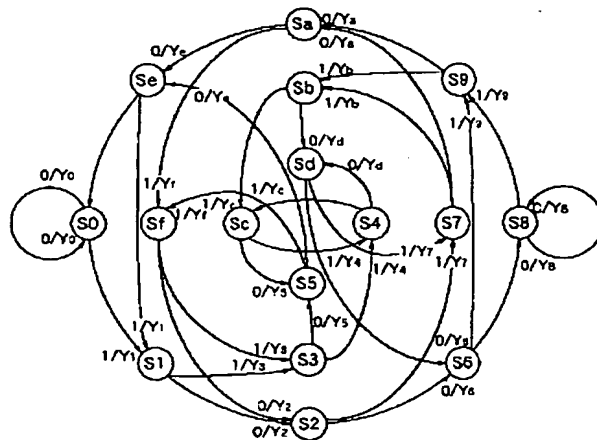
d = 4、N = 10 の回路構成を簡略化して表した要部回路の模式図

【図 6】

y0	S0 S19	(J) S0 0	b00 b019	b10	bn0
y1	S0 S19	(J) S1 1	b01 b019	b11	bn1
y2	S1 S20	(J) S2 0	b02 b020	b12	bn2
y3	S2 S22	(J) S3 0	b03 b022	b13	bn3
y4	S3 S25	(J) S4 0	b04 b025	b14	bn4
y5	S4 S29	(J) S5 0	b05 b029	b15	bn5
y6	S5	(K) S8 0	b06 b05	b16	bn6
y7	S8	(K) S7 0	b07 b06	b17	bn7
y8	S7	(K) S6 0	b08 b07	b18	bn8
y9	S8	(K) S9 0	b09 b08	b19	bn9
y20	S18	(K) S20 1	b020 b018	b120	bn20
y21	S17	(K) S21 1	b021 b017	b121	bn21
y22	S21	(K) S22 0	b022 b021	b122	bn22
y23	S18	(K) S23 1	b023 b016	b123	bn23
y24	S23	(K) S24 0	b024 b023	b124	bn24
y25	S24	(K) S25 0	b025 b024	b125	bn25
y26	S15	(K) S26 1	b026 b015	b126	bn26
y27	S25	(K) S27 0	b027 b026	b127	bn27
y28	S27	(K) S28 0	b028 b027	b128	bn28
y29	S28	(K) S29 0	b029 b028	b129	bn29

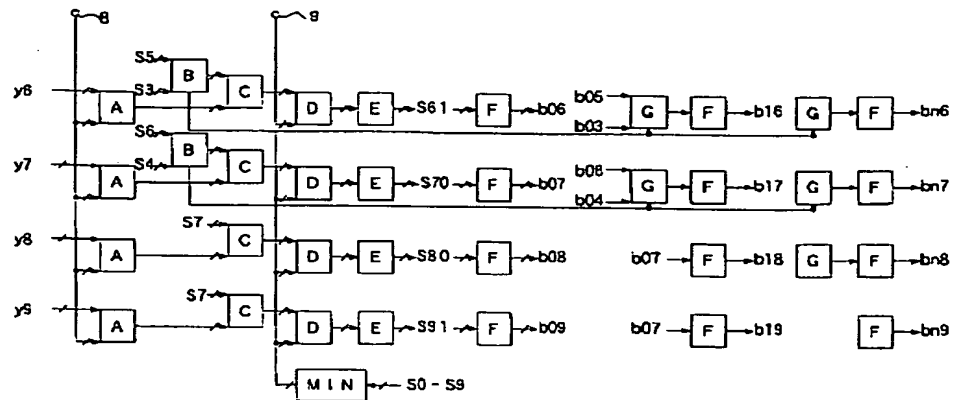
d = 4、N = 10 の回路構成を簡略化して表した要部回路の模式図

【図 12】



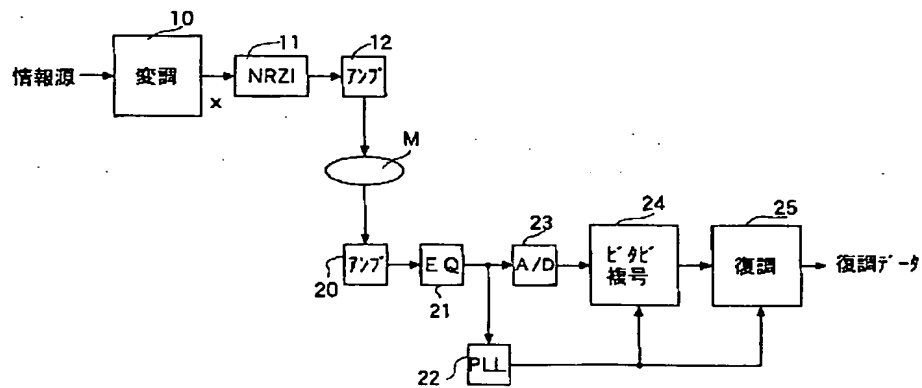
符号間干渉 4 ビット系の状態遷移図

【図 10】



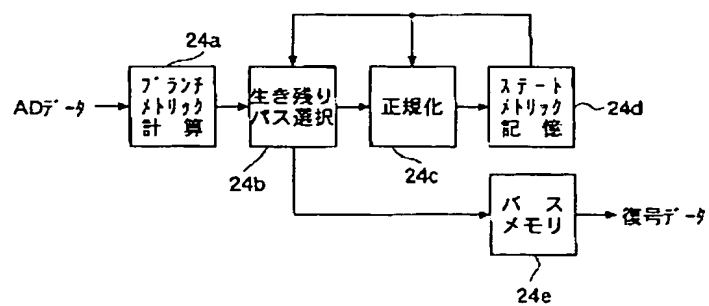
d = 1、N = 4 における要部回路図

【図 11】



システム構成を示す概略的なブロック図

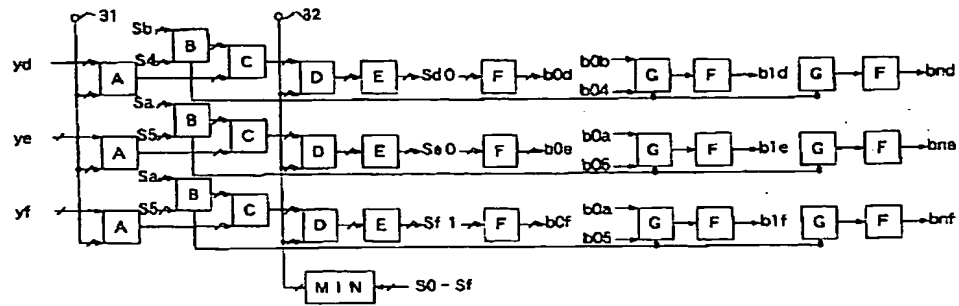
【図 13】



ビットビ復号を行うための概略的なブロック図



【図 16】



N = 4 における概略的な要部回路図

フロントページの続き

(51) Int. Cl. °

H04L 25/03

H04N 5/92

7/24

識別記号

庁内整理番号

F I

技術表示箇所

C 9199-5K

H04N 5/92

H

7/13

Z